

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takeshi SUGAHARA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR MEMORY DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

Japan

2003-204516

July 31, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

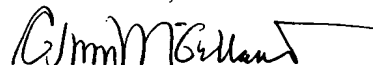
☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland

Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   7 月 3 1 日  
Date of Application:

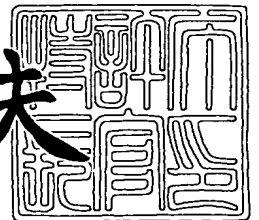
出 願 番 号            特 願 2 0 0 3 - 2 0 4 5 1 6  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 3 - 2 0 4 5 1 6 ]

出   願   人            株 式 会 社 東 芝  
Applicant(s):

2 0 0 3 年   9 月 1 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000302117

【提出日】 平成15年 7月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体メモリ装置

【請求項の数】 8

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ  
                        イクロエレクトロニクスセンター内

    【氏名】 菅原 毅

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100058479

    【弁理士】

    【氏名又は名称】 鈴江 武彦

    【電話番号】 03-3502-3181

【選任した代理人】

    【識別番号】 100091351

    【弁理士】

    【氏名又は名称】 河野 哲

【選任した代理人】

    【識別番号】 100088683

    【弁理士】

    【氏名又は名称】 中村 誠

## 【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

## 【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

## 【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

## 【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体メモリ装置

【特許請求の範囲】

【請求項 1】 夫々第 1、第 2 のビット線を有し第 1 の方向に配列された複数のビット線対と、

前記第 1、第 2 のビット線間に夫々第 1、第 2 のデータ記憶ノードを介して接続された複数の S R A M セルを有するセルアレイと、

前記ビット線と交差する第 2 の方向に配列された複数のワード線と、

書き込みモード時に前記ワード線により選択された S R A M セルに前記第 1、第 2 のビット線を介して書き込みデータを供給するとともに、読み出しモード時に前記ワード線により選択された S R A M セルから前記第 1 のビット線に読み出された読み出しデータを前記第 1 のビット線に書き戻すデータ書き込み回路と、を具備することを特徴とする半導体メモリ装置。

【請求項 2】 前記書き込み回路は、読み出しモード時に前記第 1 のビット線からプリチャージ電位に相当する読み出しデータが読み出されたときに、この読み出しデータに基づいて前記第 1 のビット線をプリチャージ電位に再チャージする書き戻し回路を含むことを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 3】 前記書き込み回路は、読み出しモード時に読み出しデータがデータ読み出し端子に出力されるまでの間、前記ビット線への書き戻し動作を停止させる停止回路を含むことを特徴とする請求項 1 または請求項 2 に記載の半導体メモリ装置。

【請求項 4】 前記書き込み回路は、読み出し、書き込みモードに先行する夫々の時点で前記ビット線をプリチャージするプリチャージ回路を含むことを特徴とする請求項 3 に記載の半導体メモリ装置。

【請求項 5】 夫々第 1、第 2 のビット線を有し第 1 の方向に配列された複数のビット線対と、

前記第 1、第 2 のビット線間に夫々第 1、第 2 のデータ記憶ノードを有する第 1、第 2 のトランスファゲートを介して接続された複数の S R A M セルを有するセルアレイと、

前記第 1、第 2 のビット線に交差する第 2 の方向に配列され、前記第 1、第 2 のトランスファゲートに夫々別々に接続された第 1、第 2 のワード線と、

書き込みモード時に前記第 1、第 2 のワード線により選択された S R A M セルに前記第 1、第 2 のビット線を介して書き込みデータを供給するとともに、読み出しモード時に、前記第 1、第 2 のワード線のうちの活性化されたワード線により選択された S R A M セルのデータ記憶ノードから前記第 1、第 2 のビット線のうちの少なくとも一方のビット線に読み出された読み出しデータを当該ビット線に書き戻すデータ書き込み回路と、

を具備することを特徴とする半導体メモリ装置。

【請求項 6】 前記データ書き込み回路は、前記第 1、第 2 のビット線のうち読み出しモード時にプリチャージ電位に相当する読み出しデータが読み出されたビット線をプリチャージ電位に再チャージする書き戻し回路を含むことを特徴とする請求項 5 に記載の半導体メモリ装置。

【請求項 7】 前記書き込み回路は、読み出しモード時に読み出しデータが出力されるまでの間、前記ビット線への書き戻し動作を停止させる停止回路を含むことを特徴とする請求項 5 または請求項 6 に記載の半導体メモリ装置。

【請求項 8】 前記書き込み回路は、読み出し、書き込みモードに先行する夫々の時点で前記ビット線をプリチャージするプリチャージ回路を含むことを特徴とする請求項 7 に記載の半導体メモリ装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

この発明は半導体メモリ装置、特に S R A M に関する。

##### 【0002】

#### 【従来の技術】

S R A M の大容量化、高速化の要求に応じて S R A M セルを構成するトランジスタも微細化、高速化がますます進んできており、その結果、ビット線に発生するリーク電流もますます多くなっている。そのリーク電流は S R A M セルのトランスファートランジスタのオフリーク電流によって引き起こされるため、1

つのビット線に繋がるSRAMセルの数が増えると、ビット線に発生するリーク電流の総量が無視できなくなり、データ読み出しエラーが発生する問題が生じている。特に読み出し動作に相補ビット線のどちらか一方のみを用いている構成の場合、読み出し回路を接続した方のビット線がプリチャージ電位と同じ電位を読み出すと、フローティング状態になったビット線のプリチャージ電位でデータを補償しなければならないため、上記リーク電流によりデータ読み出しエラーが発生する可能性が更に高くなる。

#### 【0003】

プリチャージに関しては、例えばSRAMからのデータ読み出し時に選択されたビット線にライトドライバと兼用のプリチャージ回路を用いてプリチャージを行っている従来例がある。（例えば、特許文献1参照）。

#### 【0004】

また、プリチャージ時に予め放電状態をチェックしておいたSRAMセルに接続されているビット線の電位を選択的に回復させる機能を持ったプリチャージ手段を具えている従来例もある。（例えば、特許文献2参照）。

#### 【0005】

##### 【特許文献1】

特開平6-195977号公報（第2欄、第4図参照）

#### 【0006】

##### 【特許文献2】

米国特許第6,064,616号公報（要約、請求項1参照）

#### 【0007】

##### 【発明が解決しようとする課題】

しかしながら、前記特許文献1に記載された発明では、プリチャージを行った後で多数のSRAMセルからのリーク電流に起因するビット線の電位低下には対処できず、読み出しエラーが発生してしまう。

#### 【0008】

また、前記特許文献2に記載された発明では、特に問題となるSRAMセルに接続されたビット線の電位低下には対処できるが、前記特許文献1と同様に、プ

リチャージを行った後で多数のSRAMセルからのリーク電流に起因するビット線の電位低下には対処できず、やはり読み出しエラーが発生してしまう。

#### 【0009】

このように従来では、SRAMセルからプリチャージ電位と同じ電位のデータを読み出す時に、そのトランスファートランジスタがオフしているために、ビット線に対する電荷供給能力がない。このため、データ読み出し時に、プリチャージされたビット線からのリーク電流があると、このビット線の電位低下が生じ、読み出しエラーが発生してしまう。

#### 【0010】

従って、この発明は、プリチャージされたビット線からのリーク電流による電位低下を防止して読み出しエラーの発生を未然に防止できるとともに、読み出しモード時の高速動作も可能な半導体メモリ装置を提供することを目的とする。

#### 【0011】

##### 【課題を解決するための手段】

この発明の一実施態様による半導体メモリ装置は、夫々第1、第2のビット線を有し第1の方向に配列された複数のビット線対と、前記第1、第2のビット線間に夫々第1、第2のデータ記憶ノードを介して接続された複数のSRAMセルを有するセルアレイと、前記ビット線と交差する第2の方向に配列された複数のワード線と、書き込みモード時に前記ワード線により選択されたSRAMセルに前記第1、第2のビット線を介して書き込みデータを供給するとともに、読み出しモード時に前記ワード線により選択されたSRAMセルから前記第1のビット線に読み出された読み出しデータを前記第1のビット線に書き戻すデータ書き込み回路とを具備することを特徴として構成されている。

#### 【0012】

また、この発明の他の実施態様の半導体メモリ装置は、夫々第1、第2のビット線を有し第1の方向に配列された複数のビット線対と、前記第1、第2のビット線間に夫々第1、第2のデータ記憶ノードを有する第1、第2のトランスファゲートを介して接続された複数のSRAMセルを有するセルアレイと、前記第1、第2のビット線に交差する第2の方向に配列され、前記第1、第2のトランス



ファゲートに夫々別々に接続された第1、第2のワード線と、書き込みモード時に前記第1、第2のワード線により選択されたSRAMセルに前記第1、第2のビット線を介して書き込みデータを供給するとともに、読み出しモード時に、前記第1、第2のワード線のうちの活性化されたワード線により選択されたSRAMセルのデータ記憶ノードから前記第1、第2のビット線のうちの少なくとも一方のビット線に読み出された読み出しデータを当該ビット線に書き戻すデータ書き込み回路とを具備することを特徴として構成されている。

#### 【0013】

これらの構成により、プリチャージされたビット線からのリーク電流による電位低下を防止して読み出しエラーの発生を未然に防止できるとともに、読み出しモード時の高速動作も可能な半導体メモリ装置を提供することができる。

#### 【0014】

##### 【発明の実施の形態】

以下、この発明について図面を参照して詳細に説明する。

#### 【0015】

読み出しモード時において、プリチャージされたビット線からのリーク電流による電位低下を防止する機能を持つSRAM回路として、この発明者はまず図5に示す構成の回路を提案した。以下、図5を参照してこの回路の説明をする。

#### 【0016】

図5において、夫々第1、第2のビット線BL1、／BL1、…BLn、／BLnを有し、互いに平行に配列された複数のビット線対が設けられる。第1、第2のビット線BL1、／BL1間には、夫々第1、第2のデータ記憶ノードを介して接続されたm個のSRAMセルSC11～SCm1を有する第1のセルアレイグループが構成される。同様に、n番目のビット線対BLn、BLn間には、m個のSRAMセルSC1n～SCmnを有する第nのセルアレイグループが構成される。このように複数のセルアレイグループをロウ方向に配列してSRAMのセルアレイブロックが構成される。

#### 【0017】

SRAMセル、例えばセルSC11は、PMOSトランジスタP1とNMOS

トランジスタN1とで構成された第1のインバータと、PMOSトランジスタP2とNMOSトランジスタN2とで構成された第2のインバータと、第1のインバータの出力ノードと一方のビット線BL1との間に接続されたトランスファゲートトランジスタT1と、第2のインバータの出力ノードと他方のビット線／BL1との間に接続されたトランスファゲートトランジスタT2との合計6個のトランジスタで構成される。トランスファゲートトランジスタT1、T2のゲートはワード線WL1に共通に接続される。他のすべてのSRAMセルも同様に構成されている。

#### 【0018】

前記セルアレイのカラム方向には複数のワード線WL1～WLmが配列され、夫々ロウ方向に配列されたn個のSRAMセルに共通に接続される。更に、ワード線WL1～WLmに平行な方向には、反転プリチャージ信号／preが供給されるプリチャージ線PLが配置される。

#### 【0019】

ビット線対BL1、／BL1の内の一方のビット線BL1の一端は、データ読み出し回路R1の読み出しデータ入力端に接続される。このデータ読み出し回路R1は、ビット線BL1に並列に接続された一対のPMOSトランジスタPt1、Pt2と、ビット線BL1の一端と読み出しデータ出力端TR1との間に直列に接続されたインバータIR1、IR2とを含む。一方のPMOSトランジスタPt1のゲートはプリチャージ線PLに接続され、他方のPMOSトランジスタPt2のゲートはインバータIR1、IR2の接続点に接続される。他方のビット線／BL1とプリチャージ線PLとの交点には、ビット線／BL1のプリチャージ用のPMOSトランジスタPt3が接続される。図示しないが、残りのすべてのビット線のプリチャージ回路および、データ読み出し回路Rnを含む残りのデータ読み出し回路も同様に構成される。

#### 【0020】

前記PMOSトランジスタPt2は、読み出しモード時に前記ワード線により選択された例えばSRAMセルSC11から前記第1のビット線BL1を介して読み出されたデータに基づいて、当該ビット線BL1の電位をプリチャージ電位

に保持する状態保持回路として動作する。即ち、SRAMセルSC11から読み出されたデータがHレベルのデータであるときのみ、インバータIR1により反転されたLレベルの信号がPMOSトランジスタPt2のゲートに供給され、このトランジスタPt2を介してプリチャージ信号と同等の電位がビット線BL1に供給される。

#### 【0021】

更に、第1、第2のビット線BL1、／BL1には、書き込みモード時に、例えば前記ワード線WL1により選択されたSRAMセルSC11に前記第1、第2のビット線BL1、／BL1を介して書き込みデータを供給するデータ書き込み回路W1が接続される。このデータ書き込み回路W1は、データ書き込み端子TW1とビット線BL1との間に直列に接続されたクロックドインバータIW1およびインバータIW2と、データ書き込み端子TW1とビット線／BL1との間に接続されたクロックドインバータIW3とを有する。ビット線BLn、／BLnを含む他のビット線にも同様にデータ書き込み回路Wnが接続される。

#### 【0022】

クロックドインバータIW1、IW3に供給される書き込みクロックc、／cは図2に示す書き込みクロック発生回路CGから、後で述べるクロック信号CLKおよびライトイネーブル信号WEに基づいて発生される。

#### 【0023】

以下、図7のタイミングチャートを参照して図5に示したSRAM回路および図6の書き込みクロック発生回路CGの動作を説明する。

#### 【0024】

図7において、(a)はクロック信号CLKを示し、その1周期毎に(b)に示したライトイネーブル信号WEにより書き込み(Wr i t e)モードと読み出し(R e a d)モードのモード切り換えが行われる。即ち、(a)、(b)に示すように、クロック信号CLKの各立ち上がりのタイミングでライトイネーブル信号WEがHのときは書き込みモード、Lのときは読み出しモードとなる。

#### 【0025】

(c)は書き込みデータw d a t aを示し、ここでは4周期のクロック信号の

うち前半の2周期はLレベル、後半の2周期はHレベルとなるデータとして示してある。(d)はワード線選択信号であり、例えば図1のワード線WL1に供給される信号である。図5に示したSRAMセルはいずれもトランスファゲートトランジスタがNMOSトランジスタである。これらのトランジスタは、ワード線選択信号WLがHレベルになるタイミング、即ちクロック信号CLKがHレベルになるのと略同じタイミングでONとなり、書き込み、読み出しデータがSRAMセルに書き込まれ、あるいは読み出されることになる。

#### 【0026】

(e)は反転プリチャージ信号/preを示し、ワード線選択信号WLと同期して読み出しモード、書き込みモードのいずれでもそれぞれHレベルとなる。従って、プリチャージ線PLに接続されたPMOSトランジスタPt1、Pt3は信号/preがLレベルとなる期間、即ちクロック信号の書き込み期間Write、および読み出し期間Readに先行するLレベル期間のみONとなり、所定のプリチャージ電位がビット線BL1~BLn、/BL1~/BLnに供給される。

#### 【0027】

(f)、(g)はデータ書き込み回路W1内のクロックドインバータIW1、IW3の導通状態を制御する相補の関係性を有する書き込みクロック信号c、/cを示す。これらの書き込みクロック信号c、/cは図6および図7の(a)、(b)、(f)、(g)に示すように、クロック信号CLKに同期して、ライトイネーブル信号WEのHレベルに応じて発生される書き込み用のクロック信号である。

#### 【0028】

(k)は書き込み回路の状態を示し、制御信号cがL、/cがHの時にはクロックドインバータIW1、IW3のいずれも動作せず、データ書き込み回路W1の状態はHi-Zである。一方、ライトイネーブル信号WEのHの期間では、制御信号cがH、/cがLとなり、クロックドインバータIW1、IW3が動作状態となり、データ書き込み回路W1の状態はLo-Zとなる。

#### 【0029】

例えば、“0”データ書き込み時には、(c)に示すように、書きこみデータ

w d a t a は L レベルであり、インバータ I W 2、I W 1 を介して (h) に示すようにビット線 B L 1 には L レベルの電位が供給され、ビット線 / B L 1 には (i) に示すように、H レベルの電位が供給される。この結果、例えば選択された S R A M セル S C 1 1 のトランスファゲートトランジスタ T 1 に接続された記憶ノードは L レベル、トランスファゲートトランジスタ T 2 に接続された記憶ノードには H レベルのデータが記憶される。“1” データ書き込み時には、同様にしてビット線 B L 1 側が H、ビット線 / B L 1 側が L のデータが記憶される。

### 【0030】

データ読み出し時に、例えばビット線 B L 1 側のセル出力が L レベルであると、/pre 信号により P M O S トランジスタ P t 1 を介してプリチャージされたビット線 B L 1 の H レベルの電位は (h) に示したように読み出しサイクル R e a d より僅かに遅れて L レベルとなり、読み出しデータ r d a t a も (j) に示すように更に所定の遅れをもって L レベルとなる。

### 【0031】

又、ビット線 B L 1 側のセル出力が H レベルであると、(j) に示すように読み出しデータ r d a t a にレベル変化は生じない。

### 【0032】

以上のように、図 5 の実施形態ではプリチャージ線 P L 上の反転プリチャージ信号 /pre によりデータの書き込み時、あるいは読み出し時にビット線 B L 1 が H にプリチャージされると、この H レベルがインバータ I R 1 を介して状態保持 P M O S トランジスタ P t 2 のゲートに供給されるから、このトランジスタ P t 2 はこのプリチャージ電位を維持する方向に働き、S R A M セルからのリーク電流によるビット線 B L 1 の電位低下を補償することができ、データ読み出しエラーを防止できる。

### 【0033】

尚、図 5 の実施形態では S R A M セル S C 1 1 に例示したように、6 個のトランジスタを用いて 1 つの S R A M セルを構成した場合を示した。しかしながら、この S R A M セルの内部構成は 6 トランジスタ構成に限らず、例えば 4 トランジスタ構成など他の構成の S R A M セルを用いても同様に実施できる。また、読み

出したデータがHレベルのときに、このHレベルにプリチャージされたビット線の電位を維持する場合で説明したが、反対に、読み出したデータがLレベルのときにビット線をこのLレベルにプリチャージし、その電位を維持する場合にもこの発明は適用できる。以下に説明される実施形態はいずれも前者の場合で説明するが、同様に後者の場合にも適用できる。

#### 【0034】

尚、この図5に示した構成のSRAM回路では、選択されたセルのビット線BL1側の出力がLのときには、このビット線BL1の電位が速やかに低下して、データ読み出し回路R1がこの電位低下を検知できなければならない。しかしながら、ビット線BL1の電位が低下するのを妨げる方向に状態保持PMOSトランジスタPt2が作用するため、結果的に、データ読み出し動作速度が低下してしまう。

#### 【0035】

図1に示す実施形態はこのような図5の実施形態の不都合な点を改善したもので、セルのトランスファゲートトランジスタのオフリーク電流の増大に対処できるとともに、高速動作のSRAMを実現できるものである。

#### 【0036】

図1において図5の実施形態と同一の部分は同じ参照番号を付してその説明の重複を回避する。図1において図5の実施形態と異なる点は、データ読み出し回路R1～Rnの構成と、データ書き込み回路W1～Wnの構成である。データ読み出し回路R1～Rnは、いずれも図1に示したように2個の直列接続されたインバータIR1、IR2のみで構成され、ビット線BL1～BLnに夫々接続される。

#### 【0037】

また、データ書き込み回路W1～Wnは、図5の実施形態と同様に、回路W1を例にとって図1に示したように、ビット線BL1に接続されたクロックドインバータIW1と、ビット線／BL1に接続されたクロックドインバータIW3とを有する。クロックドインバータIW1、IW3の入力側は2入力NORゲートIW4、IW5の出力端に接続され、この2入力NORゲートの一方の入力端子

は夫々、インバータ I W 7 を介してプリチャージ線 P L に接続されてプリチャージ信号/preを受ける。ゲート I W 4 の他方の入力端子はマルチプレクサ I W 6 の出力端子に直接に接続され、ゲート I W 5 の他方の入力端子はインバータ I W 2 を介してマルチプレクサ I W 6 の出力端子に接続される。このマルチプレクサ I W 6 の一方の入力端子はビット線 B L 1 の読み出しデータ出力端に接続され、他方の入力端子は書き込みデータ w d a t a の入力端子 T W 1 に接続される。

#### 【0038】

マルチプレクサ I W 6 には読み出しモード信号 Read が供給され、データ書き込みモードでは入力端子 T W 1 に供給された書き込みデータ w d a t a を通過させ、読み出しモードではビット線 B L 1 からの読み出しデータを通過させる。

#### 【0039】

以下、図 1 の実施形態の動作に付いて図 2 のタイミングチャートを参照して詳述する。図 2 のタイミングチャートにおいて図 7 と異なる点は、(c) の読み出しモード切換え信号 r e a d と、(g) のタイマー出力信号 t m o u t と、(m) のデータ書き込み回路の状態信号である。また、書き込みクロック発生回路 C G から発生される書き込みクロック c、 $\neg c$  は、ライトイネーブル信号 W E の L レベルの期間に発生される。ここでは、(c) の信号 r e a d に同期して (g) のタイマー出力信号 t m o u t とともにスタートし、タイマー出力信号 t m o u t の立下りに同期して終了する。他の信号については図 7 と同じである

ここで、図 3 を参照して書き込みクロック信号 c、 $\neg c$  の発生回路 C G の一例の構成を説明する。図 3 において、タイマー出力信号 t m o u t は、クロック信号 C L K を受けてから所定時間後に終了する遅延タイマー T M からの出力として得られる。このタイマー出力信号 t m o u t はライトイネーブル信号 W E とともに書き込みクロック発生回路 C G に供給され、このタイマー出力信号 t m o u t に同期して相補関係を有する書き込みクロック信号 c、 $\neg c$  が発生される。即ち、図 2 の (m) に示すように、このタイマー出力信号 t m o u t が H レベルの期間のみクロックドインバータ I W 1、I W 3 の導通が阻止され、データ書き込み回路 W 1 から W n の状態が H i - Z となり、それ以外の期間は L o - Z となる。

#### 【0040】

以下、図2のタイミングチャートを参照して図1のSRAMの動作を詳細に説明する。図1の回路も図5の回路と同様にプリチャージ、書き込み、読み出しの3つのモードで動作する。

#### 【0041】

例えばデータ書き込みモード時に、書き込み回路W1において、(d)の書き込みデータwdataがLレベルであるとする。この状態で(c)の読み出し指示信号read信号がLレベルのときは、マルチプレクサIW6からLレベルの信号が出力され、NORゲートIW4に供給されるとともに、インバータIW2で反転されたHレベルの信号がNORゲートIW5に供給される。

#### 【0042】

ここで、(b)のライトイネーブル信号WEがHとなるWrite期間の直前では、(f)に示したように、反転プリチャージ信号/preがLレベル、即ちインバータIW7から得られるプリチャージ電圧がHレベルであるから、NORゲートIW4の出力がLとなり、クロックドインバータIW1の出力はHレベルとなり、ビット線BL1にはプリチャージ電圧が供給される。

#### 【0043】

一方、NORゲートIW5の出力もLレベルとなるから、クロックドインバータIW3の出力はHレベルとなり、このHレベルのプリチャージ電圧がビット線/B L 1に供給される。このようにして、データ書き込み回路W1によりビット線BL1、/BL1がともにHレベルにプリチャージされる。

#### 【0044】

この状態でライトイネーブル信号WEが立ちあがると共にクロックCLKも立ち上がり、例えばワード線WL1が選択されたとする。これによりプリチャージ電圧の供給が停止される。ここで、書き込みデータがLレベルであると、クロックドインバータIW1からビット線BL1にはLレベル、クロックドインバータIW3からビット線/B L 1にはHレベルの書き込みデータがSRAMセルSC11に供給されて、図2の(j)、(k)に示したようにデータの書き込みが行われる。即ち、書き込みデータが図2の(d)に示したようにHレベルになると、図2の(j)、(k)のように例えばビット線BL1、/BL1の電位が逆に



なるだけである。

#### 【0045】

次に、読み出し時には、図2に示したように、読み出し指示信号 *read* が H レベルとなる直前に、信号 *WE* の立下りに応じてプリチャージ電圧/*pre* が L、即ちプリチャージ電圧が H レベルとなる。これにより、前述の書き込み時と同様に、ビット線 *BL1* から *BLn*、/*BL1* ~ /*BLn* が H レベルにプリチャージされる。この状態で遅延タイマー *TM* からタイマー信号 *tmout* が書き込みクロック発生回路 *CG* に供給され、これに応じて書き込みクロック *c* が L に、/*c* が H になる。これにより、クロックドインバータ *IW1*、*IW3* からの出力が停止され、データ書き込み回路 *W1* が *Hi-Z* 状態となる。

#### 【0046】

この状態で例えば (e) に示すようにワード線 *WL1* が活性化されると、SRAMセル *SC11* から読み出しデータ *rd data* がビット線 *BL1*、/*BL1* 上に得られる。この時、SRAMセル *SC11* のデータ記憶状態に応じて2本のビット線 *BL1*、/*BL1* の内で一方は必ず H レベルのままに保持される。この時、データ書き込み回路 *W1* は *Hi-Z* 状態であるから、H レベルのビット線は略フローティング状態となる。

#### 【0047】

SRAMセル *SC11* からビット線 *BL1* を介してデータ読み出し回路 *R1* に読み出しデータが伝搬し、出力端子 *TR1* に現れるタイミングで、(g) に示した遅延タイマー *TM* からのタイマー出力 *tmout* により、書き込みクロック発生回路 *CG* の出力 *c*、/*c* の極性が反転する。この結果、データ書き込み回路 *W1* の状態が *Lo-Z* となり、読み出されたデータがマルチプレクサ *IW6* に供給される。図5の (j) に示したようにビット線 *BL1* から L レベル、ビット線 /*BL1* から H レベルのデータが読み出された場合には、ビット線 *BL1* からの L レベルのデータが NOR ゲート *IW4*、クロックドインバータ *IW1* を介してビット線 *BL1* に書き戻される。一方、インバータ *IW2* で H レベルに反転された読み出しデータは NOR ゲート *IW5*、クロックドインバータ *IW3* を介して他方のビット線 /*BL1* に書き戻される。この段階で H レベルを保持してフローテ

イング状態であったビット線／BL1のフローティング状態が解消される。

【0048】

ビット線BL1からHレベル、ビット線／BL1からLレベルのデータが読み出される場合にも同様にして、夫々Hレベル、Lレベルの読み出されたデータが対応するビット線に書き戻される。

【0049】

なお、データを読み出している期間、例えばワード線WL1が活性化されてからデータ読み出し回路R1の出力端子TR1にデータが伝搬されるまでの期間はビット線BL1もしくはビット線／BL1がフローティング状態になり、外部から何らの電位維持動作も行われなない。しかし、このフローティング期間が長いとHレベルの電位が低下するおそれがある。従って、許されるフローティング時間は、ビット線容量とそのビット線に繋がるSRAMセルのトランスファトランジスタのオフリーク電流の総和で決まる。この時間内にデータ書き込み回路W1からデータをビット線BL1、／BL1に書き戻し、データを保持できればよい。他のビット線対についても同様の動作となる。

【0050】

このように、図1に示した実施形態のSRAMによれば、データを読み出すとともに、所定タイミングで対応するビット線に書き戻すことにより、読み出し時にビット線をフローティング状態にできる回路構成であるから、外部からなんらの電位維持動作も必要でなく、SRAMの動作速度の向上が図れる。また、図5の実施形態と比べてデータ読み出し回路の構成が簡単になり、データ書き込み回路の構成素子の増加があるが、全体として回路面積の大きな増加はない。

【0051】

図1の実施形態では1つのSRAMからの読み出しデータがBL、／BLのビット線対に供給される、いわゆる1ポート構成の例として説明したが、BL、／BLに異なるSRAMセルの書き込み、読み出しデータが伝搬する、所謂2ポート化したSRAMにもこの発明を適用できる。以下、図4を参照してこの実施形態について詳細に説明する。

【0052】

図4においては一对のビット線BL、 $\overline{BL}$ についてのみ示しているが、図1、図5と同様に複数のビット線対を有するSRAMを構成できる。図4において、2ポート化するために、ビット線BL、 $\overline{BL}$ 間に接続された複数のSRAMセルSC11～SCm1には夫々2本のワード線が接続される。図4では図面の簡単化の為にSRAMセルSC11に接続された2本のワード線WL1、WL0のみ示している。一方のワード線WL0はSRAMセルSC11の一方のトランスファゲートトランジスタT1のゲートに接続され、他方のワード線WL1は他方のトランスファゲートトランジスタT2のゲートに接続される。SRAMセルSC11の内部構成は図1、図5の実施形態と同じである。

#### 【0053】

ビット線BLには第1のデータ読み出し回路R11が接続され、ビット線 $\overline{BL}$ には第2のデータ読み出し回路R12が接続される。第1のデータ読み出し回路R11は直列接続された2個のインバータIR1、IR2で構成され、第2のデータ読み出し回路R12は1個のインバータIR3により構成される。データ読み出し回路R11の出力側は出力端子TR11に接続されるとともに、データ書き込み回路W1内のマルチプレクサIW61の入力端子に接続される。データ読み出し回路R12の出力側は出力端子TR12に接続されると共に、データ書き込み回路W1の他のマルチプレクサIW62の入力端子に接続される。

#### 【0054】

データ書き込み回路W1は図1の実施形態と同様に、書き込みデータの入力端子とマルチプレクサIW62の入力端子との間に接続されたデータ入力端子TW1と、プリチャージ線PLとマルチプレクサIW61、IW62に接続されたNORゲートIW4、IW5と、これらのゲートと直列接続されたクロックドインバータIW1、IW3とにより構成される。NORゲートIW4、IW5とプリチャージ線PLとの間には図1の場合と同様にインバータIW7が接続される。

#### 【0055】

図4のSRAM回路におけるデータの読み出し、書き込み動作の前にも夫々プリチャージ動作が実行される。プリチャージ線PLにLレベルのプリチャージ電圧/preが供給されたときには、NORゲートIW4、IW5の出力レベルはいず

れも L となる。この時、クロックドインバータ IW1、IW3 はいずれも導通状態であるから、反転された H レベルのプリチャージ電圧がビット線 BL、/BL に供給され、プリチャージが行われる。

#### 【0056】

データ書き込み時には、書き込みデータ入力端子 TW1 に書き込みデータ *wdata* が供給され、そのデータ内容に応じた H または L レベルの電圧がビット線 BL、/BL に供給され、例えばワード線 WL0、WL1 を活性化して選択された SRAM セル SC11 にデータを書き込む。

#### 【0057】

データ読み出し時には、ワード線 WL0 あるいはワード線 WL1 を選択的に活性化することにより、SRAM セル SC11 に記憶されているデータをビット線 BL および /BL から異なるデータとして別々に読み出すことができる。このため、ビット線 BL、/BL 上に夫々読み出されたデータに応じた電圧をデータ書き込み回路 W1 を介してビット線 BL、/BL に夫々書き戻し、これらのビット線の電位をデータ読み出し動作後に所定時間保持しておくことができる。

#### 【0058】

例えばワード線 WL0 のみ活性化された場合には SRAM セル SC11 からビット線 BL にのみデータが読み出され、これがデータ読み出し回路 R11 を介してデータ出力端子 *rdata0* に出力されるとともに、マルチプレクサ IW61 を介してデータ書き込み回路 W1 に供給され、ビット線 BL 上に書き戻される。

#### 【0059】

他方のワード線 WL1 のみ活性化された場合にも、同様に SRAM セル SC11 からビット線 /BL にのみデータが読み出され、これがデータ読み出し回路 R12 を介してデータ出力端子 *rdata1* に出力されるとともに、マルチプレクサ IW62 を介してデータ書き込み回路 W1 に供給され、ビット線 /BL 上に書き戻される。

#### 【0060】

このように 2 ポート化した場合でも、図 1 に示した実施形態と同様に読み出したデータを対応するビット線の上に書き戻し、ビット線上の読み出しデータを保持

することができる。また、図 1 の場合と同様に、データ読み出し時に一時的に H レベルのビット線がフローティング状態となるため、このビット線の電位を保持するための何らの電位保持手段も必要とせず、これに起因する動作速度の低下もない。

#### 【 0 0 6 1 】

##### 【発明の効果】

以上詳述したようにこの発明によれば、S R A Mセルからのデータ読み出し時に、トランスファゲートトランジスタのオフリークによるプリチャージされたビット線の電位低下を防止して読み出しエラーの発生を未然に防止でき、高速読み出しが可能な半導体メモリ装置を提供することが出来る。

##### 【図面の簡単な説明】

###### 【図 1】

この発明の一実施形態の S R A Mの構成を示すブロック図。

###### 【図 2】

図 1 の S R A Mの動作を示すタイミングチャート。

###### 【図 3】

図 1 中のクロックドインバータの制御クロックを発生する書き込みクロック発生回路の一例のブロック図。

###### 【図 4】

この発明の他の実施形態の S R A Mの構成を示すブロック図。

###### 【図 5】

この発明の更に他の実施形態の S R A Mの構成を示すブロック図。

###### 【図 6】

図 5 のクロックドインバータの制御クロックを発生するための書き込みクロック発生回路の一例を示すブロック図。

###### 【図 7】

図 5 の S R A Mの動作を示すタイミングチャート。

##### 【符号の説明】

B L、／B L、B L 1 ～B L n、／B L 1 ～／B L n…ビット線。

W L 1 ~ W L m …ワード線。

S C 1 1 ~ S C m n …S R A Mセル。

I W 1、I W 3 …クロックドインバータ。

P L …プリチャージ線。

P t 2 …状態保持 P M O S。

P t 3 …プリチャージ用 P M O S。

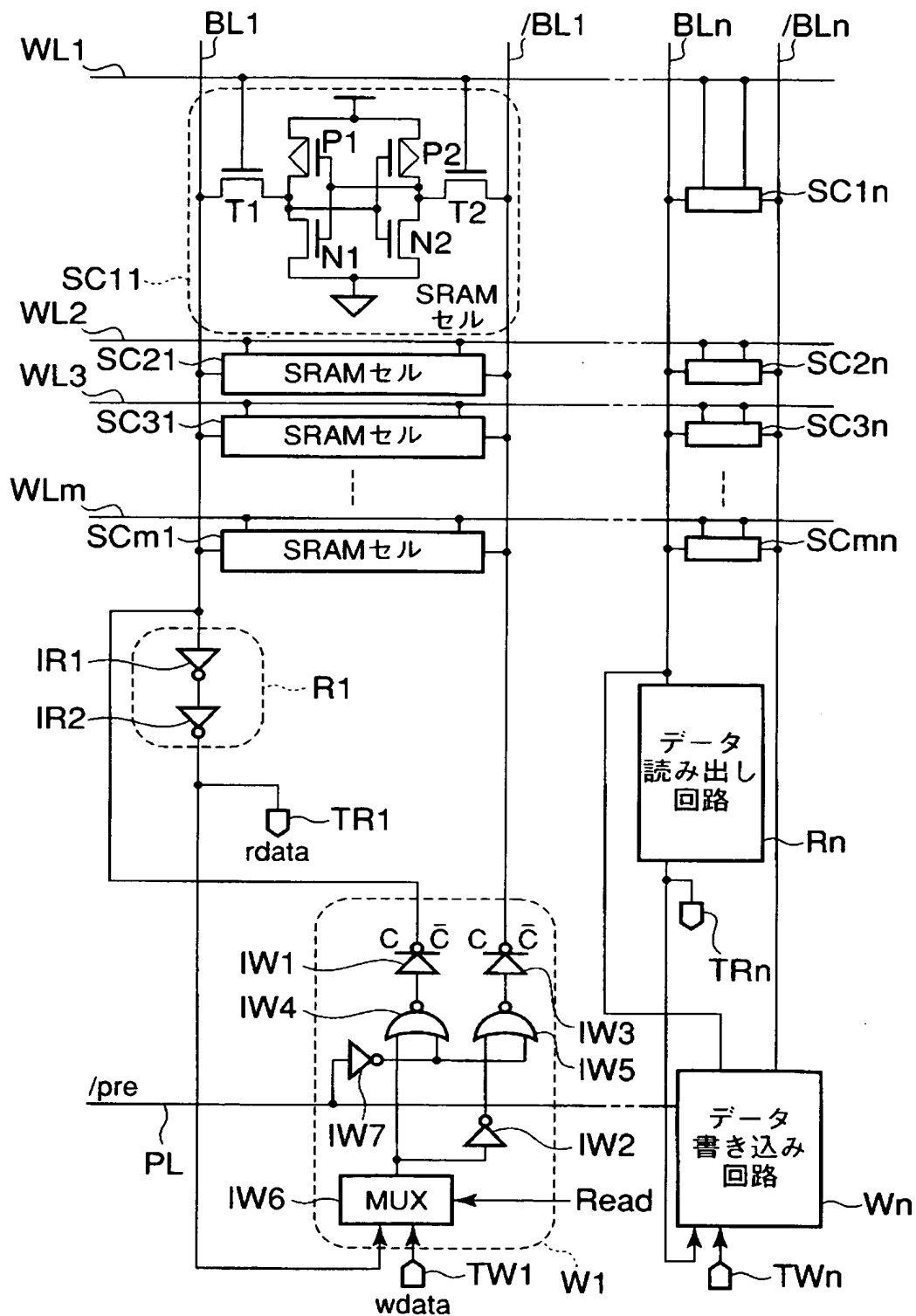
R 1 ~ R n …データ読み出し回路。

W 1 ~ W n …データ書き込み回路。

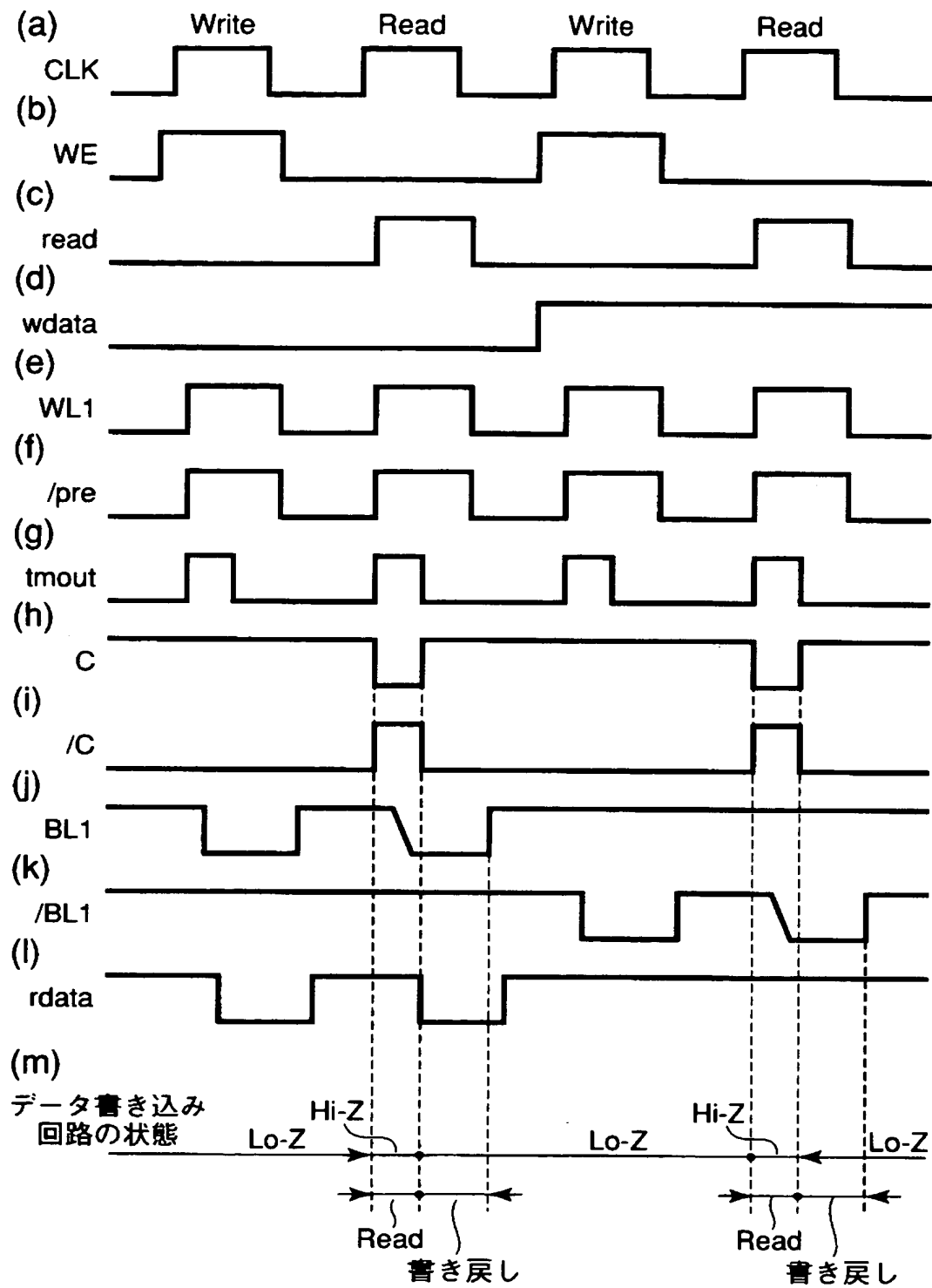
C G …書き込みクロック発生回路。

【書類名】 図面

【図 1】

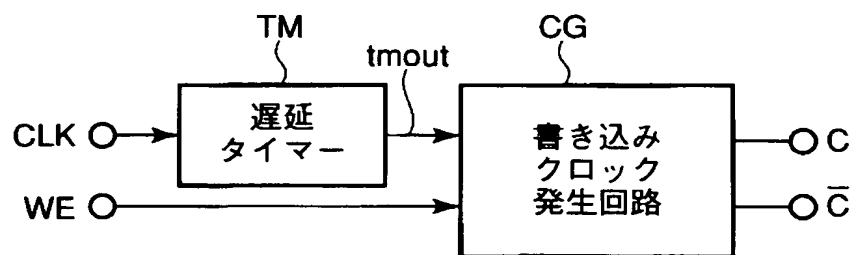


【図 2】

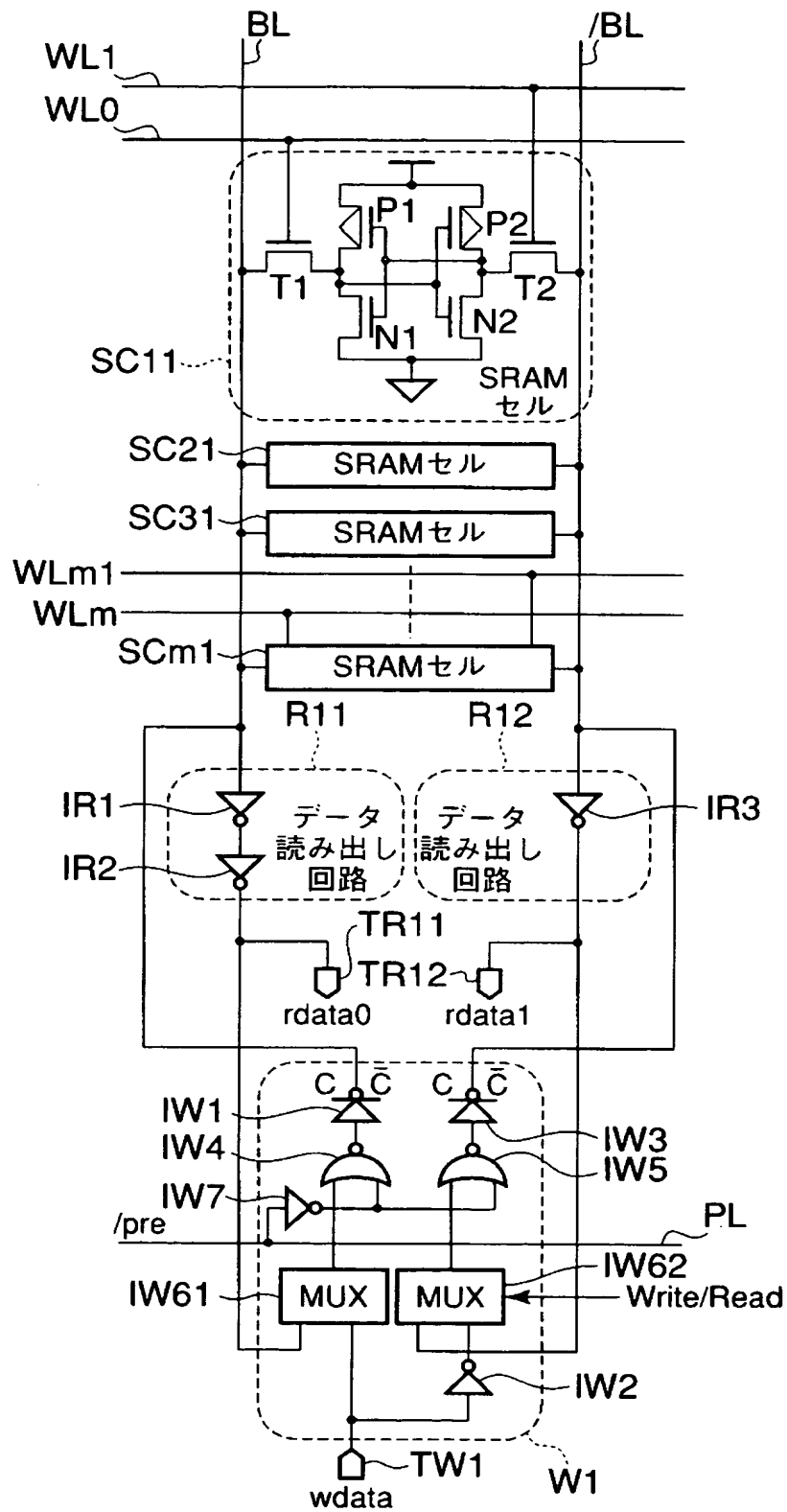




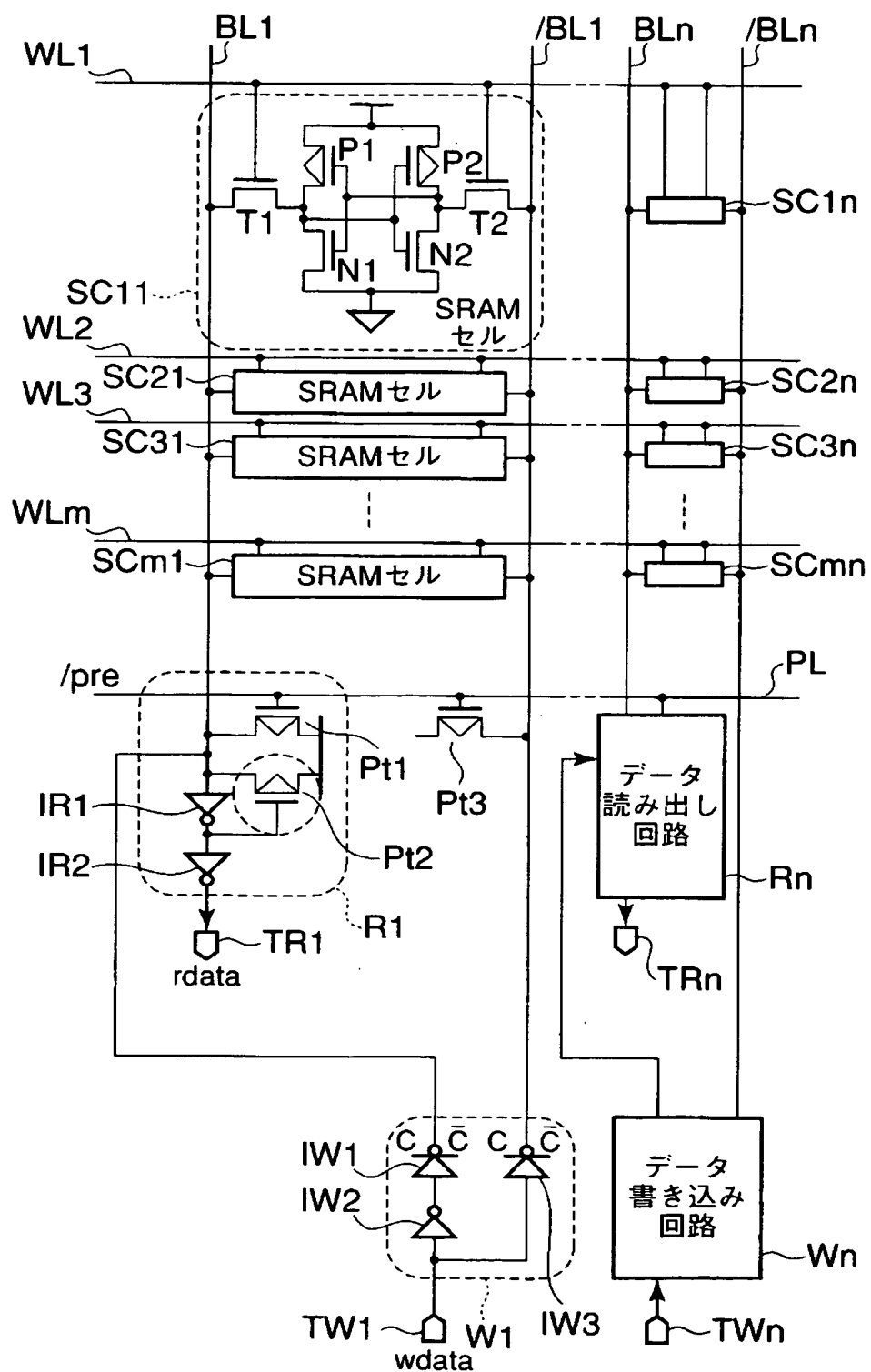
【図 3】



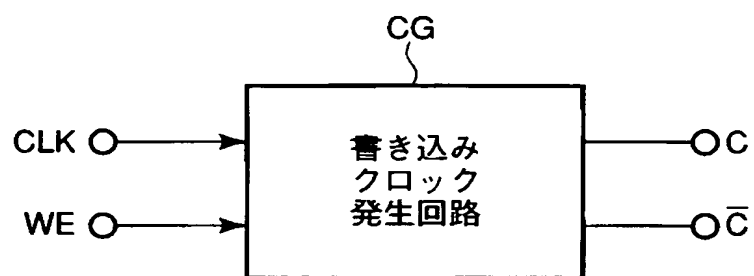
【図 4】



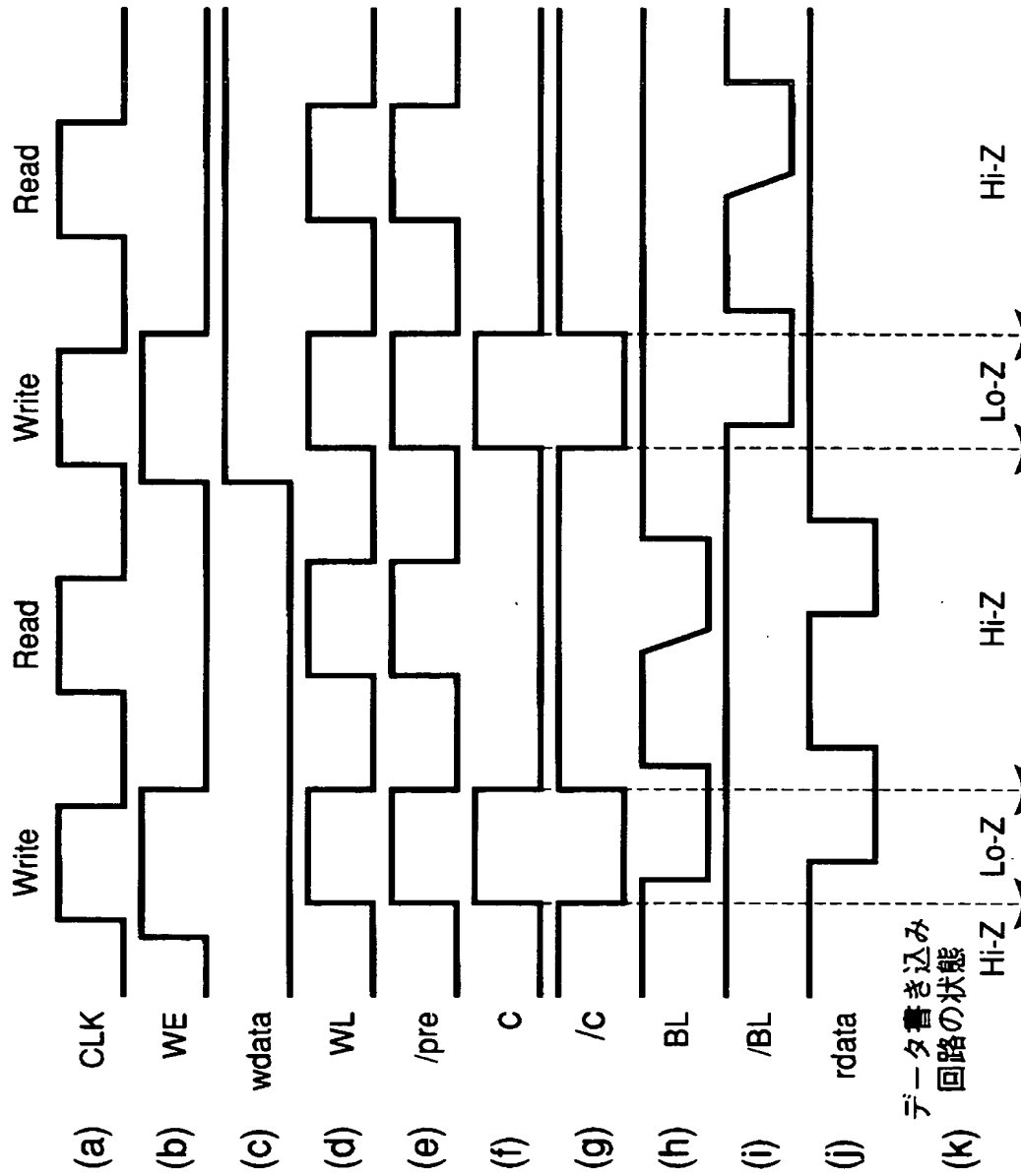
【図 5】



【図 6】



【図 7】



データ書き込み  
回路の状態

【書類名】 要約書

【要約】

【課題】 S R A Mセルからのデータ読み出し時に、トランスファゲートトランジスタのオフリークによるプリチャージされたビット線の電位低下を防止するとともに、高速読み出しが可能な半導体メモリ装置を提供することを目的とする。

【解決手段】 第 1, 第 2 のビット線 B L 1、B L 2 間に夫々第 1、第 2 のデータ記憶ノードを介して接続された複数の S R A Mセル S C 1 1 ~ S C m 1 を有するセルアレイと、前記ビット線と交差する第 2 の方向に配列された複数のワード線 W L 1 ~ W L m と、書き込みモード時に前記ワード線により選択された S R A Mセルに前記第 1、第 2 のビット線を介して書き込みデータを供給するとともに、読み出しモード時に前記ワード線により選択された S R A Mセルから前記第 1 のビット線に読み出された読み出しデータを前記第 1 のビット線に書き戻すデータ書き込み回路 W 1 ~ W n とにより半導体メモリ装置が構成される。

【選択図】 図 1

特願 2 0 0 3 - 2 0 4 5 1 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝